

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Akio HARA, et al.

Application No.:

Group Art Unit:

Filed: March 11, 2004

Examiner:

For: MEMORY INTERFACE CIRCUIT

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-184366

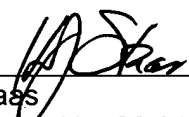
Filed: June 27, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 11, 2004

By:   
H. J. Staas  
Registration No. 22,010

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    6 月 2 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 8 4 3 6 6  
Application Number:

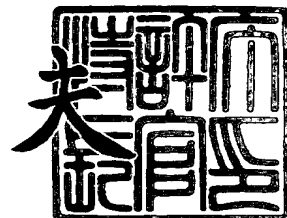
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 8 4 3 6 6 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 2 月 1 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 1 0 3 0 4 9

【書類名】 特許願

【整理番号】 0340548

【提出日】 平成15年 6月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 12/08

【発明の名称】 メモリインタフェース回路

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 原 章雄

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 谷 昌昭

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

    【氏名】 古屋 健二

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100072718

    【弁理士】

    【氏名又は名称】 古谷 史旺

    【電話番号】 3343-2901

## 【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704947

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリインタフェース回路

【特許請求の範囲】

【請求項 1】 中央処理装置から受ける内部アドレスが分岐アドレスのときに、その分岐アドレスをアクセスアドレスとして外部メモリに出力するとともに、次の分岐アドレスを受けるまでアクセスサイクル毎にアドレスを 1 ずつ増加させ、外部メモリに格納される命令データをプリフェッチするための前記アクセスアドレスとして出力するアドレス生成部と、

分岐アドレスを格納するタグレジスタおよびこの分岐アドレスが示す前記外部メモリ内の領域に格納されている命令データを格納するデータレジスタを有する複数のプリフェッチバッファと、

前記内部アドレスが前記タグレジスタに保持されている分岐アドレスと一致するときに、タグヒット信号を活性化する第 1 アドレス比較部と、

前記タグヒット信号の活性化時に、ヒットした分岐アドレスが格納されている前記タグレジスタに対応する前記データレジスタから読み出される命令データを前記中央処理装置に出力し、前記タグヒット信号の非活性化時に、前記外部メモリから読み出される前記分岐アドレスに対応する命令データを前記中央処理装置に出力するデータ選択部と、

前記中央処理装置が前記内部アドレスを順次出力する通常動作期間に、前記アドレス生成部、前記第 1 アドレス比較部および前記データ選択部の動作を制御する全体制御部とを備え、

前記プリフェッチバッファは、前記通常動作期間に書き換え可能な複数の第 1 プリフェッチバッファと、指定された分岐アドレスおよびこの分岐アドレスが示す前記外部メモリ内の領域に格納されている命令データが予め格納され、前記通常動作期間に書き換えが禁止される少なくとも 1 つの第 2 プリフェッチバッファとで構成されていることを特徴とするメモリインタフェース回路。

【請求項 2】 請求項 1 記載のメモリインタフェース回路において、

前記プリフェッチバッファのうち前記第 1 プリフェッチバッファとして使用する数または前記第 2 プリフェッチバッファとして使用する数を登録するスプリッ

トレジスタを備え、

前記各プリフェッチバッファは、前記通常動作期間前の初期設定期間に、前記スプリットレジスタの値に応じて、前記第1プリフェッチバッファまたは第2プリフェッチバッファに割り当てられることを特徴とするメモリインタフェース回路。

【請求項3】 請求項1記載のメモリインタフェース回路において、

前記全体制御部は、前記通常動作期間前の初期設定期間に、前記中央処理装置に接続されるデータバスを介して分岐アドレスを受け、受けた分岐アドレスを前記第2プリフェッチバッファの前記タグレジスタに格納するとともに、この分岐アドレスが示す前記外部メモリ内の領域に格納されている命令データを前記第2プリフェッチバッファの前記タグレジスタに対応する前記データレジスタに格納することを特徴とするメモリインタフェース回路。

【請求項4】 請求項3記載のメモリインタフェース回路において、

前記中央処理装置からの書き込みによりセットされるスタートレジスタを備え、

前記全体制御部は、前記初期設定期間に、前記データバスを介して受けた分岐アドレスを前記第2プリフェッチバッファの前記タグレジスタに格納した後、前記スタートレジスタのセットに応答して、前記第2プリフェッチバッファの前記タグレジスタに保持されている分岐アドレスを前記アドレス生成部を介して前記外部メモリに出力し、前記外部メモリから読み出される命令データを前記第2プリフェッチバッファの前記タグレジスタに対応するデータレジスタに格納することを特徴とするメモリインタフェース回路。

【請求項5】 請求項1記載のメモリインタフェース回路において、

前記アクセスアドレスに応じて前記外部メモリからプリフェッチされる命令データを一時的に格納するデータバッファと、

前記内部アドレスが前記外部メモリからプリフェッチするための前記アクセスアドレスと一致するときに、プリフェッチヒット信号を出力する第2アドレス比較部とを備え、

前記データ選択部は、前記プリフェッチヒット信号の活性化時に、前記データ

バッファに保持されている命令データを前記中央処理装置に出力し、前記プリフェッチヒット信号の非活性化時に、前記外部メモリから読み出される前記分岐アドレスに対応する命令データを前記中央処理装置に出力することを特徴とするメモリインタフェース回路。

【請求項 6】 請求項 1 記載のメモリインタフェース回路において、

前記通常動作期間に、前記中央処理装置からの分岐アドレスの出力回数を計数する分岐カウンタを備え、

前記全体制御回路は、前記分岐カウンタのカウント値に基づいて、前記通常動作期間に、前記第 1 プリフェッチバッファのタグレジスタに保持される分岐アドレスの出現頻度が所定比率を超えると判断したときに、この第 1 プリフェッチバッファを前記第 2 プリフェッチバッファに変更することを特徴とするメモリインタフェース回路。

【請求項 7】 請求項 1 記載のメモリインタフェース回路において、

前記通常動作期間に、前記中央処理装置からの分岐アドレスの出力回数を計数する分岐カウンタを備え、

前記全体制御回路は、前記分岐カウンタのカウント値に基づいて、前記通常動作期間に、前記第 2 プリフェッチバッファのタグレジスタに保持される分岐アドレスの出現頻度が所定比率以下と判断したときに、この第 2 プリフェッチバッファを前記第 1 プリフェッチバッファに変更することを特徴とするメモリインタフェース回路。

【請求項 8】 中央処理装置から受ける内部アドレスが分岐アドレスのときに、その分岐アドレスをアクセスアドレスとして外部メモリに出力し、次の分岐アドレスを受けるまでアクセスサイクル毎にアドレスを 1 ずつ増加させ、外部メモリに格納される命令データをプリフェッチするための前記アクセスアドレスとして出力するアドレス生成部と、

分岐アドレスを格納するタグレジスタおよびこの分岐アドレスが示す前記外部メモリ内の領域に格納されている命令データを格納するデータレジスタを有する複数のプリフェッチバッファと、

前記内部アドレスが前記タグレジスタに保持されている分岐アドレスと一致す

るときに、タグヒット信号を活性化する第1アドレス比較部と、

前記タグヒット信号の活性化時に、ヒットした分岐アドレスが格納されている前記タグレジスタに対応する前記データレジスタから読み出される命令データを前記中央処理装置に出力し、前記タグヒット信号の非活性化時に、前記外部メモリから読み出される前記分岐アドレスに対応する命令データを前記中央処理装置に出力するデータ選択部と、

前記通常動作期間に、前記中央処理装置からの分岐アドレスの出力回数を計数する分岐カウンタと

前記中央処理装置が前記内部アドレスを順次出力する通常動作期間に、前記アドレス生成部、前記第1アドレス比較部、前記データ選択部および分岐カウンタの動作を制御する全体制御部とを備え、

前記各プリフェッチバッファは、前記通常動作期間に書き換え可能な第1プリフェッチバッファと、指定された分岐アドレスおよびこの分岐アドレスが示す前記外部メモリ内の領域に格納されている命令データが予め格納され、前記通常動作期間に書き換えが禁止される第2プリフェッチバッファとのいずれかに設定され、

前記全体制御回路は、前記分岐カウンタのカウント値に基づいて、前記通常動作期間に、前記中央処理装置から出力される前記内部アドレスの中で前記第1プリフェッチバッファのタグレジスタに保持される分岐アドレスの出現頻度が所定比率を超えるとときに、この第1プリフェッチバッファを前記第2プリフェッチバッファに変更することを特徴とするメモリインタフェース回路。

【請求項9】 請求項8記載のメモリインタフェース回路において、

前記全体制御回路は、前記分岐カウンタのカウント値に基づいて、前記通常動作期間に、前記中央処理装置から出力される前記内部アドレスの中で前記第2プリフェッチバッファのタグレジスタに保持される分岐アドレスの出現頻度が所定比率以下のときに、この第2プリフェッチバッファを前記第1プリフェッチバッファに変更することを特徴とするメモリインタフェース回路。

【請求項10】 請求項6、請求項7および請求項9のいずれか1項記載のメモリインタフェース回路において、



前記各プリフェッチバッファは、第1または第2プリフェッチバッファとして使用されていることを示す識別フラグをそれぞれ備えていることを特徴とするメモリインタフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロプロセッサ等の中央処理装置によりメモリからフェッチされる命令データのフェッチ効率を向上するためのプリフェッチバッファを有するメモリインタフェース回路に関する。

【0002】

【従来の技術】

一般に、命令データのフェッチ効率を向上するため、キャッシュメモリがマイクロプロセッサと主記憶の間に配置される。近時、キャッシュメモリのフェッチ効率をさらに向上するために、様々な手法が提案されている。

例えば、マイクロプロセッサが割り込み要求を受けてから割り込み処理を開始するまでの期間に、割り込みの先頭アドレスおよびそれ以降のアドレスに対応する複数の命令データをキャッシュメモリに転送することで、割り込み処理時にキャッシュヒットさせる手法が提案されている（例えば、特許文献1参照）。

【0003】

また、割り込み処理から復帰したときのキャッシュヒット効率を向上するために、割り込み専用のキャッシュメモリを通常のキャッシュメモリとは別に設ける手法が提案されている（例えば、特許文献2参照）。

さらに、マイクロプロセッサの割り込み要求回路に関し、割り込み要求源の検索時間を短縮するために、割り込み要求源に対応する先頭アドレスを予めメモリに格納する手法が提案されている（例えば、特許文献3参照）。

【0004】

一方、キャッシュメモリの代わりに記憶容量の小さいプリフェッチバッファを配置することで、命令のフェッチ効率を下げることなくコストを削減できるメモリインタフェース回路が提案されている。この技術では、プリフェッチバッファ

には、分岐アドレスのみが格納される。メモリインタフェース回路は、マイクロプロセッサから出力されるアドレスが分岐アドレス以外るとき、前回のアドレスを 1 だけ増加したアドレスにより命令データをプリフェッチする。このため、連続するアドレスに対応する命令データは、キャッシュヒットに相当する短いアクセス時間で読み出すことができる。さらに、分岐アドレスに対応する命令データがプリフェッチバッファに存在する場合、キャッシュヒットに相当する短いアクセス時間で読み出すことができる。

**【0 0 0 5】****【特許文献 1】**

特開 2 0 0 0 - 3 4 7 9 3 1 号公報

**【特許文献 2】**

特開平 6 - 2 8 2 5 8 号公報

**【特許文献 3】**

昭 6 2 - 2 5 9 1 5 8 号公報

**【0 0 0 6】****【発明が解決しようとする課題】**

しかしながら、従来のプリフェッチバッファ方式では、分岐アドレスが頻繁に発生する場合、フェッチ効率は低下する。例えば、分岐アドレスが頻繁に発生し、かつ規則的に特定の割り込みが発生するシステムでは、プリフェッチバッファに保持された割り込みの先頭アドレスに対応する命令データは、分岐アドレスの発生によって順次書き換えられてしまう。

なお、割り込みが頻繁に発生するシステムに特許文献 1 の手法を適用する場合、キャッシュメモリに保持されてるデータは、書き換えられてしまい、フェッチ効率は低下する。また、命令データは割り込み要求が発生した後、割り込み要求が開始されるまでの間にキャッシュメモリに転送する必要がある。このため、このキャッシュメモリは、割り込み要求を受け付けられない命令の実行中に割り込み要求が発生した場合のみ効果を有する。割り込み要求を受け付け可能な命令の実行中に割り込み要求が発生した場合、命令データをキャッシュメモリに転送する余裕はない。

**【0007】**

割り込みが頻繁に発生するシステムに特許文献2の手法を適用する場合、割り込み専用のキャッシュメモリに保持されてるデータは、書き換えられてしまい、フェッチ効率は低下する。

特許文献3は、割り込みベクタアドレスを短時間で検索する技術に関するものであり、割り込みベクタアドレスが示す記憶領域に保持されている命令データのフェッチ効率は改善できない。換言すれば、割り込みの発生頻繁にかかわらず、フェッチ効率は低い。

**【0008】**

本発明の目的は、マイクロプロセッサ等の中央処理装置によりフェッチされる命令データのフェッチ効率を向上することにある。特に、アドレスの分岐が頻繁に発生するシステムにおいて、命令データのフェッチ効率を向上することにある。

**【0009】****【課題を解決するための手段】**

請求項1のメモリインタフェース回路では、アドレス生成部は、中央処理装置から受ける内部アドレスが分岐アドレスのときに、その分岐アドレスをアクセスアドレスとして外部メモリに出力する。アドレス生成部は、次の分岐アドレスを受けるまでアクセスサイクル毎にアドレスを1ずつ増加させ、外部メモリに格納される命令データをプリフェッチするためのアクセスアドレスとして出力する。このため、内部アドレスが連続するときに、アドレス生成部が生成するアクセスアドレスにより、外部メモリに記憶されている命令データをプリフェッチできる。したがって、命令データのフェッチ効率を向上できる。また、連続する内部アドレスに対応する命令データは、プリフェッチバッファに保持する必要はない。このため、プリフェッチバッファの個数を最小限にできる。

**【0010】**

複数のプリフェッチバッファは、分岐アドレスを格納するタグレジスタおよびこの分岐アドレスが示す外部メモリ内の領域に格納されている命令データを格納するデータレジスタを有する。プリフェッチバッファは、通常動作期間に書き換

え可能な複数の第1プリフェッチバッファと、指定された分岐アドレスおよびこの分岐アドレスが示す外部メモリ内の領域に格納されている命令データが予め格納され、通常動作期間に書き換えが禁止される少なくとも1つの第2プリフェッチバッファとで構成される。このため、通常動作期間に、中央処理装置が出力する分岐アドレスとこの分岐アドレスに対応する命令データとにより、第1プリフェッチバッファのみが書き換えられる。全体制御部は、中央処理装置が内部アドレスを順次出力する通常動作期間に、アドレス生成部、第1アドレス比較部およびデータ選択部の動作を制御する。

#### 【0011】

通常動作期間において、第1アドレス比較部は、中央処理装置から出力される内部アドレスがタグレジスタに保持されている分岐アドレスと一致するときに、タグヒット信号を活性化する。データ選択部は、タグヒット信号の活性化時に、ヒットした分岐アドレスが格納されているタグレジスタに対応するデータレジスタから読み出される命令データを中央処理装置に出力する。すなわち、中央処理装置は、命令データを、外部メモリから待つことなくフェッチできる。データ選択部は、タグヒット信号の非活性化時に、外部メモリから読み出される分岐アドレスに対応する命令データを中央処理装置に出力する。

#### 【0012】

プリフェッチバッファの所定数は、書き換えが禁止される第2プリフェッチバッファに割り当てられる。このため、中央処理装置から分岐アドレスが頻繁に出力される場合にも、第2プリフェッチバッファに保持される特定の分岐アドレスおよび命令データが書き換えられることを防止できる。この結果、中央処理装置の命令フェッチ効率を向上でき、システム全体のパフォーマンスを向上できる。特に、分岐アドレスが頻繁に発生し、そのうち特定の分岐アドレスが繰り返し発生するシステムで、フェッチ効率を向上できる。

#### 【0013】

請求項2のメモリインタフェース回路では、プリフェッチバッファのうち第1プリフェッチバッファとして使用する数または第2プリフェッチバッファとして使用する数が、スプリットレジスタに登録される。各プリフェッチバッファは、

通常動作期間前の初期設定期間に、スプリットレジスタの値に応じて、第1プリフェッチバッファまたは第2プリフェッチバッファに割り当てられる。システムの特性に応じてスプリットレジスタを設定することで、第2プリフェッチバッファを所望の数に設定できる。換言すれば、そのシステムに最適なメモリインタフェース回路を提供できる。

#### 【0014】

請求項3のメモリインタフェース回路では、全体制御部は、通常動作期間前の初期設定期間に、中央処理装置に接続されるデータバスを介して分岐アドレスを受け、受けた分岐アドレスを第2プリフェッチバッファのタグレジスタに格納する。全体制御部は、この分岐アドレスが示す外部メモリ内の領域に格納されている命令データを第2プリフェッチバッファのタグレジスタに対応するデータレジスタに格納する。このため、中央処理装置は、第2プリフェッチバッファのデータレジスタに命令データを格納する必要はない。この結果、中央処理装置の初期設定期間のパフォーマンスを向上できる。

#### 【0015】

請求項4のメモリインタフェース回路では、全体制御部は、初期設定期間に、データバスを介して受けた分岐アドレスを第2プリフェッチバッファのタグレジスタに格納する。この後、全体制御部は、中央処理装置からの書き込みによりセットされるスタートレジスタに応答して、第2プリフェッチバッファのタグレジスタに保持されている分岐アドレスをアドレス生成部を介して外部メモリに出力し、外部メモリから読み出される命令データを第2プリフェッチバッファのタグレジスタに対応するデータレジスタに格納する。専用のスタートレジスタを設けることで、中央処理装置は、全体制御部を容易に制御し、任意のタイミングで第2プリフェッチバッファのデータレジスタに命令データを格納させることができる。

#### 【0016】

請求項5のメモリインタフェース回路では、データバッファは、アクセスアドレスに応じて外部メモリからプリフェッチされる命令データを一時的に保持する。第2アドレス比較部は、内部アドレスが外部メモリからプリフェッチするため

のアクセスアドレスと一致するときに、プリフェッチヒット信号を出力する。データ選択部は、プリフェッチヒット信号の活性化時に、データバッファに保持されている命令データを中央処理装置に出力する。データ選択部は、プリフェッチヒット信号の非活性化時に、外部メモリから読み出される分岐アドレスに対応する命令データを中央処理装置に出力する。データバッファを設けることで、中央処理装置から出力される内部アドレスが連続するときに、外部メモリからプリフェッチした命令データを失うことなく中央処理装置に出力できる。

#### 【0017】

請求項6のメモリインタフェース回路では、分岐カウンタは、通常動作期間に、中央処理装置からの分岐アドレスの出力回数を計数する。全体制御回路は、分岐カウンタのカウント値に基づいて、通常動作期間に、第1プリフェッチバッファのタグレジスタに保持される分岐アドレスの出現頻度が所定比率を超えると判断したときに、この第1プリフェッチバッファを第2プリフェッチバッファに変更する。出現頻度の高い分岐アドレスを保持している第1プリフェッチバッファを、書き換えが禁止される第2プリフェッチバッファに変更することで、実際のシステムの動作状態に合わせて、命令のフェッチ効率を向上できる。

#### 【0018】

請求項7および請求項9のメモリインタフェース回路では、全体制御回路は、分岐カウンタのカウント値に基づいて、通常動作期間に、第2プリフェッチバッファのタグレジスタに保持される分岐アドレスの出現頻度が所定比率以下と判断したときに、この第2プリフェッチバッファを第1プリフェッチバッファに変更する。出現頻度の低い分岐アドレスを保持している第2プリフェッチバッファを、書き換え可能な第1プリフェッチバッファに変更することで、実際のシステムの動作状態に合わせて、命令のフェッチ効率を向上できる。

#### 【0019】

請求項8のメモリインタフェース回路では、アドレス生成部は、中央処理装置から受ける内部アドレスが分岐アドレスのときに、その分岐アドレスをアクセスアドレスとして外部メモリに出力する。アドレス生成部は、次の分岐アドレスを受けるまでアクセスサイクル毎にアドレスを1ずつ増加させ、外部メモリに格納

される命令データをプリフェッチするためのアクセスアドレスとして出力する。このため、内部アドレスが連続するときに、アドレス生成部が生成するアクセスアドレスにより、外部メモリに記憶されている命令データをプリフェッチできる。したがって、命令データのフェッチ効率を向上できる。また、連続する内部アドレスに対応する命令データは、プリフェッチバッファに保持する必要はない。このため、プリフェッチバッファの個数を最小限にできる。

#### 【0020】

複数のプリフェッチバッファは、分岐アドレスを格納するタグレジスタおよびこの分岐アドレスが示す外部メモリ内の領域に格納されている命令データを格納するデータレジスタを有する。各プリフェッチバッファは、通常動作期間に書き換え可能な第1プリフェッチバッファ、または指定された分岐アドレスおよびこの分岐アドレスが示す外部メモリ内の領域に格納されている命令データが予め格納され、通常動作期間に書き換えが禁止される第2プリフェッチバッファのいずれかに設定される。このため、通常動作期間に、中央処理装置が出力する分岐アドレスとこの分岐アドレスに対応する命令データとにより、第1プリフェッチバッファのみが書き換えられる。

#### 【0021】

分岐カウンタは、通常動作期間に、中央処理装置からの分岐アドレスの出力回数を計数する。全体制御部は、中央処理装置が内部アドレスを順次出力する通常動作期間に、アドレス生成部、第1アドレス比較部、データ選択部および分岐カウンタの動作を制御する。

通常動作期間において、第1アドレス比較部は、中央処理装置から出力される内部アドレスがタグレジスタに保持されている分岐アドレスと一致するときに、タグヒット信号を活性化する。データ選択部は、タグヒット信号の活性化時に、ヒットした分岐アドレスが格納されているタグレジスタに対応するデータレジスタから読み出される命令データを中央処理装置に出力する。すなわち、中央処理装置は、命令データを、外部メモリから待つことなくフェッチできる。データ選択部は、タグヒット信号の非活性化時に、外部メモリから読み出される分岐アドレスに対応する命令データを中央処理装置に出力する。

**【0022】**

全体制御回路は、分岐カウンタのカウント値に基づいて、通常動作期間に、中央処理装置から出力される内部アドレスの中で第1プリフェッチバッファのタグレジスタに保持される分岐アドレスの出現頻度が所定比率を超えるとときに、この第1プリフェッチバッファを第2プリフェッチバッファに変更する。分岐アドレスの出現頻度が高いときに、対応する第1プリフェッチバッファを書き換えが禁止される第2プリフェッチバッファに変更することで、中央処理装置の命令フェッチ効率を向上でき、システム全体のパフォーマンスを向上できる。特に、分岐アドレスが頻繁に発生し、そのうち特定の分岐アドレスが繰り返し発生するシステムで、フェッチ効率を向上できる。

**【0023】**

プリフェッチバッファの所定数を第1または第2プリフェッチバッファに割り当てる初期設定が不要なため、全体制御回路を簡易に構成できる。

請求項10のメモリアンタフェース回路では、各プリフェッチバッファは、第1または第2プリフェッチバッファとして使用されていることを示す識別フラグをそれぞれ有している。全体制御回路は、識別フラグにより、プリフェッチバッファが第1および第2プリフェッチバッファの何れに割り当てられているかを容易に認識できる。この結果、全体制御回路を簡易に構成できる。

**【0024】****【発明の実施の形態】**

以下、本発明の実施形態を図面を用いて説明する。図中、太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。信号が伝達される信号線には、信号名と同じ符号を使用する。

図1は、本発明のメモリアンタフェース回路の第1の実施形態を示している。このメモリアンタフェース回路は、シングルチップマイクロコンピュータに搭載されている。

**【0025】**

シングルチップマイクロコンピュータは、CPUコア100（中央処理装置、



マイクロプロセッサ)と内蔵メモリ200(外部メモリ)との間に、本発明のメモリインタフェース回路300を接続して構成されている。シングルチップマイクロコンピュータは、例えば、一眼レフカメラ、デジタルカメラなどのステッピングモータを制御するための制御チップとして使用される。この種の用途では、カメラの操作スイッチを常時モニタし、ステッピングモータを正確に駆動するために、頻繁に割り込み処理をする必要がある。

#### 【0026】

この実施形態では、CPUコア100からの内部アドレスIADを伝達する命令アドレスバスIADおよび、命令データを伝達する命令データバスIDTは、それぞれ32ビットで構成されている。1つの命令データは、16ビットで構成される。CPUコア100は、クロックCLKの2サイクル毎に2つの命令データを一度にフェッチする。このため、CPUコア100は、1命令当たり1クロックサイクルを要する。

#### 【0027】

内蔵メモリ200のアクセスサイクルは、3クロックサイクルである。このため、内蔵メモリ200をアクセスする場合、メモリインタフェース回路300は、CPUコア100にウェイト信号IWAITを出力し、バスサイクルを1クロックサイクル引き延ばす必要がある。なお、クロックCLKがCPUコア100内で分周される場合、クロックサイクルは、分周クロックのサイクルになる。

#### 【0028】

メモリインタフェース回路300は、ステートマシーン10、アドレス生成部12、アドレス比較部14、レジスタ16、データ選択部18、データバッファ20およびプリフェッチバッファ部22を有している。

プリフェッチバッファ部22は、8つのプリフェッチバッファPF1-PF8を有している。各プリフェッチバッファPF1-PF8は、1ビットで構成されるバリッドフラグVLD(識別フラグ)、32ビットで構成されるタグレジスタTAGおよび32ビットで構成されるデータレジスタDATAを有している。プリフェッチバッファPF1-PF8の所定数は、CPUコア100がプログラムカウンタに応じて内部アドレスIADを順次出力する通常動作期間に書き換え可能な通常プリフェッチバッファ(第

1 プリフェッチバッファ) として機能し、残りのプリフェッチバッファは、通常動作期間に、書き換えが禁止される割り込みプリフェッチバッファ (第2 プリフェッチバッファ) として機能する。

#### 【0 0 2 9】

バリッドフラグVLDは、プリフェッチバッファPF1-PF8が通常プリフェッチバッファまたは割り込みプリフェッチバッファのいずれかで機能させるかを識別するビットである。パワーオンリセット後の初期化期間において、バリッドフラグVLDが”0”にリセットされたプリフェッチバッファは、通常プリフェッチバッファとして機能し、バリッドフラグVLDが”1”にセットされたプリフェッチバッファは、割り込みプリフェッチバッファとして機能する。バリッドフラグVLDを設けることで、ステートマシーン10は、プリフェッチバッファPF1-8が通常プリフェッチバッファまたは割り込みプリフェッチバッファのいずれに割り当てられているかを容易に認識できる。この結果、ステートマシン10の回路構成は、簡易になる。

#### 【0 0 3 0】

通常プリフェッチバッファのタグレジスタTAGは、内蔵メモリ200をアクセスするためにCPUコア100が出力する分岐アドレスを保持する。割り込みプリフェッチバッファのタグレジスタTAGは、初期設定期間にシステム (ユーザ) が設定する割り込みベクタの先頭アドレス (分岐アドレスの一種; 以下分岐アドレスまたは割り込みベクタアドレスとも称する) を保持する。

#### 【0 0 3 1】

データレジスタDATAは、タグレジスタTAGに保持される分岐アドレスまたは割り込みベクタアドレスが示す内蔵メモリ200の領域に格納されている命令データを保持する。

ステートマシーン10は、アドレス生成部12、アドレス比較部14 (第1および第2アドレス比較部)、レジスタ16、データ選択部18、データバッファ20およびプリフェッチバッファ部22の動作を制御するための制御信号を出力する全体制御部として動作する。

#### 【0 0 3 2】

具体的には、ステートマシーン 1 0 は、C P U コア 1 0 0 から高レベルの分岐信号 IJMP を受けたときに、内部アドレス IAD が分岐アドレスであると判断する。ステートマシーン 1 0 は、この分岐アドレスがプリフェッチバッファ部 2 2 に保持されていないことを低レベルのタグヒット信号 THIT により認識し、この分岐アドレスに対応する命令データを内蔵メモリ 2 0 0 から読み出すために、ウェイト信号 IWAIT を 1 クロックサイクルの期間 C P U コア 1 0 0 に出力する。

#### 【 0 0 3 3 】

ステートマシーン 1 0 は、低レベルの分岐信号 IJMP を受け、内部アドレス IAD が分岐アドレスでないと判断したとき、すなわち、内部アドレス IAD がアクセスサイクル毎に順次 1 ずつ増加されるときに、アドレス生成部 1 2 に内部アドレス IAD に 1 を加えたアドレス（次アドレス）をメモリアクセス信号 MAD として出力させるために、高レベルのインクリメント信号 INC を出力する。

#### 【 0 0 3 4 】

また、ステートマシーン 1 0 は、パワーオンリセット後の初期設定期間に、C P U コア 1 0 0 からデータバス DB を介して出力される分岐アドレス（タグアドレス）をプリフェッチバッファ部 2 2 に転送する。ステートマシーン 1 0 は、初期設定期間に、C P U コア 1 0 0 からデータバス DB を介してレジスタ 1 6 に書き込まれる情報に基づいてバリッドフラグ VLD を設定する。

#### 【 0 0 3 5 】

アドレス生成部 1 2 は、ステートマシーン 1 0 からのインクリメント信号 INC が低レベルのとき、C P U コア 1 0 0 から受ける内部アドレス IAD が分岐アドレスであると判断し、その分岐アドレスをメモリアクセスアドレス MAD として内蔵メモリ 2 0 0 に出力する。

アドレス生成部 1 2 は、インクリメント信号 INC が高レベルのとき、アクセスサイクル毎にアドレスを 1 ずつ増加させ、生成したアドレスをメモリアクセスアドレス MAD として内蔵メモリ 2 0 0 に出力する。すなわち、分岐アドレスを受けた後、次の分岐アドレスを受けるまでの間、アクセスアドレス MAD はアドレス生成部 1 2 により生成される。

#### 【 0 0 3 6 】

アドレス生成部 12 内で生成されたアドレスは、内蔵メモリ 200 に格納される命令データをプリフェッチするためのプリフェッチアドレスとして使用される。内部アドレス IAD が連続する期間、アドレス生成部 12 がプリフェッチアドレスを生成することで、命令データのプリフェッチが可能になる。プリフェッチバッファ部 22 は、連続するアドレスに対応する命令データを保持する必要がなくなるため、その構成を最小限にできる。

#### 【0037】

アドレス比較部 14 は、内部アドレス IAD とタグレジスタ TAG に保持されているタグアドレス TAD（分岐アドレスまたは割り込みベクタアドレス）とが一致するときに、タグヒット信号 THIT を高レベルに活性化する。アドレス比較部 14 は、アドレス生成部 12 が生成するプリフェッチアドレス（メモリアクセスアドレス MAD）と、CPU コア 100 から出力される内部アドレス IAD とが一致するときに、プリフェッチヒット信号 PHIT を出力する。このとき、プリフェッチされた命令データが内部データ IDT として CPU コア 100 に出力される。

#### 【0038】

レジスタ 16 は、スプリットレジスタ 16 a およびスタートレジスタ 16 b を有している。スプリットレジスタ 16 a は、3 ビット（図 2 に示す SPLIT[2:0]）で構成され、プリフェッチバッファ PF1-PF8 のうち割り込みプリフェッチバッファとして使用するバッファを示すスプリット情報を保持する。スプリット情報は、初期設定期間に、CPU コア 100 からデータバス DB を介して書き込まれる。そして、初期設定期間に、スプリット情報に基づいて割り込みプリフェッチバッファとして動作するプリフェッチバッファ（PF1-PF8 の少なくとも一つ）のバリッドフラグ VLD に "1" がセットされる。スプリットレジスタ 16 a により割り込みプリフェッチバッファを所望の数に設定することで、そのシステムに最適なメモリインタフェース回路を提供できる。

#### 【0039】

スタートレジスタ 16 b は、1 ビットで構成される。スタートレジスタ 16 b は、初期設定期間に、データバス DB を介して受けた割り込みベクタアドレスが割り込みプリフェッチバッファ（PF1-PF8 の少なくとも一つ）のタグレジスタ TAG に

格納された後、データバスDBを介してCPUコア100により高レベル（論理“1”）にセットされる。

#### 【0040】

スタートレジスタ16bのセットにตอบสนองして、ステートマシーン10が動作し、割り込みプリフェッチバッファのタグレジスタTAGに保持されているタグアドレスTAD（割り込みベクタアドレス）は、アドレス生成部12を介して内蔵メモリ200に出力される。そして、内蔵メモリ200から読み出される命令データは、その割り込みベクタアドレスが保持されているタグレジスタTAGに対応するデータレジスタDATAに格納される。このように、スタートレジスタ16bは、割り込みプリフェッチバッファのデータレジスタDATAに命令データを書き込むためのトリガとして使用される。

#### 【0041】

データバッファ20は、内蔵メモリ200からプリフェッチされた命令データを一時的に保持する。

データ選択部18は、タグヒット信号THITの活性化時に、ヒットした分岐アドレスまたは割り込みベクタアドレスが格納されているタグレジスタTAGに対応するデータレジスタDATAから読み出される命令データHDTを、内部データIDTとしてCPUコア100に出力する。データ選択部18は、プリフェッチヒット信号PHITの活性化時に、データバッファ20に保持されている命令データPDTを、内部データIDTとしてCPUコア100に出力する。また、データ選択部18は、タグヒット信号THITおよびプリフェッチヒット信号PHITの非活性化時に、内蔵メモリ200から直接読み出される分岐アドレスまたは割り込みベクタアドレスに対応する命令データMDTを、内部データIDTとしてCPUコア100に出力する。

#### 【0042】

図2は、第1の実施形態における初期設定期間のインタフェース回路300の動作を示している。

CPUコア100は、1番目のクロックCLKの立ち上がりエッジに同期して、スプリットレジスタ16aにスプリット情報（例えば、SPLIT[2:0]＝“011”）を書き込む（図2（a））。ステートマシーン10は、スプリットレジスタ16a

の内容に基づいて、2番目のクロックCLKの立ち上がりエッジに同期して、プリフェッチバッファPF1-PF3のバリッドフラグVLDを”1”にセットする（図2（b、c、d））。すなわち、スプリットレジスタ16aに2進数の”011”が書き込まれることで、初期設定期間後に、プリフェッチバッファPF1-PF3は、割り込みプリフェッチバッファとして機能し、プリフェッチバッファPF4-PF8は、通常プリフェッチバッファとして機能する。

#### 【0043】

CPUコア100は、3番目のクロックCLKの立ち上がりエッジに同期して、データバスDBに1つ目の割り込みベクタアドレスIVCTAD1を出力する。ステートマシン10は、3番目のクロックCLKの立ち下がりエッジに同期して、割り込みベクタアドレスIVCTAD1をプリフェッチバッファPF1のタグレジスタTAGに書き込む（図2（e））。同様に、4番目および5番目のクロックCLKに同期して、割り込みベクタアドレスIVCTAD2-3がプリフェッチバッファPF2、PF3のタグレジスタTAGにそれぞれ書き込まれる（図2（f、g））。プリフェッチバッファPF4-8のバリッドフラグVLDは、低レベルを保持し、タグレジスタTAGおよびデータレジスタDATAには無効なデータが保持されている（図2（h））。

#### 【0044】

次に、CPUコア100は、6番目のクロックCLKの立ち上がりエッジに同期して、スタートレジスタ16bに”1”を書き込む（図2（i））。ステートマシン10（図中のSM10）は、スタートレジスタ16bのセットに応答して、ウェイト信号IWAITをCPUコア100に出力する（図2（j））。CPUコア100は、ウェイト信号IWAITを受けている間ウェイト状態になり、内部アドレスIADの更新を停止する（READ状態）。

#### 【0045】

ステートマシン10は、プリフェッチバッファ部22およびアドレス生成部12を制御し、8、10、12番目のクロックCLKに同期して、プリフェッチバッファPF1-3のタグレジスタTAGに保持された割り込みベクタアドレスIVCTAD1-3を順次読み出し（PF1-3）、読み出した割り込みベクタアドレスIVCTAD1-3をメモリアクセスアドレスMADとして内蔵メモリ200に出力する（図2（k、l、m

))。

#### 【0046】

そして、ステートマシーン10は、内蔵メモリ200から読み出される割り込みベクタアドレスIVCTAD1-3が示す領域に格納されている命令データIVCTDT1-3を、プリフェッチバッファPF1-3のデータレジスタDATAにそれぞれ書き込む(図2(n、o、p))。専用のスタートレジスタ16bを設けることで、CPUコア100は、所望のタイミングで割り込みプリフェッチバッファへの命令データの格納処理を開始できる。また、スタートレジスタ16bへの書き込みにより、ステートマシン10が格納処理を自動的に実行するため、CPUコア100は、格納処理の間、別の処理を実行できる。

#### 【0047】

ステートマシーン10は、プリフェッチバッファPF1-3への命令データIVCTDT1-3の書き込み後、14番目のクロックCLKの立ち上がりエッジに同期して、ウェイト信号IWAITを低レベルに変化させる(図2(q))。CPUコア100は、低レベルのウェイト信号IWAITに応答してスタートレジスタ16bを"0"にリセットする(図2(r))。この後、CPUコア100は、16番目のクロックサイクル以降、通常の命令フェッチを再開する。

#### 【0048】

図2に示した割り込みプリフェッチバッファへのタグアドレスおよび命令データの書き込みは、パワーオンリセット後の初期設定期間(スタートアップルーチン)で1回実施すればよい。このため、システム全体のパフォーマンスは低下しない。

図3は、第1の実施形態における通常動作期間のインタフェース回路300の動作を示している。

#### 【0049】

この例では、図2に示した初期設定動作が予め実行され、プリフェッチバッファPF1-3は、割り込みプリフェッチバッファとして割り当てられている。例えば、プリフェッチバッファPF1は、割り込みベクタアドレスIVCTAD1および命令データIVCTDT1を保持しており、そのバリッドフラグVLDは高レベルにセットされてい

る（図3（a））。通常プリフェッチバッファとして割り当てられたプリフェッチバッファPF4-8のバリッドフラグVLDは、低レベルにリセットされている（図3（b））。

#### 【0050】

まず、最初のアクセスサイクル1stで通常分岐が発生し、CPUコア100は、内部アドレスIAD（AD1）および分岐信号IJMPを出力する（図3（c））。アドレスAD1は、プリフェッチバッファPF1-8のタグレジスタTAGに保持されていないため、タグヒット信号THITは出力されない（図3（d））。図1に示したステートマシン10は、低レベルのプリフェッチヒット信号PHITおよびタグヒット信号THITを受け、CPUコア100にウェイト信号IWAITを出力する（図3（e））。CPUコア100は、ウェイト信号IWAITを受けている間、そのアクセスサイクルを引き延ばす。

#### 【0051】

アドレス生成回路12は、分岐信号IJMPに応答してステートマシン10から出力されるインクリメント信号INCを受け、メモリアクセスアドレスMAD（AD1）を出力する（図3（f））。内蔵メモリ200のアドレスAD1に対応する領域から命令データバスMDTに命令データDT1が読み出される（図3（g））。命令データDT1は、データ選択部18を介して命令データバスIDTに転送され、CPUコア100によりフェッチされる。アクセスサイクルは、内蔵メモリ200から命令データDT1を直接読み出す必要があるため、3クロックサイクルになる。

#### 【0052】

ステートマシン10は、空いているプリフェッチバッファPF4のタグレジスタTAGおよびデータレジスタDATAにアドレスAD1および命令データDT1を書き込む（図3（h））。空いているプリフェッチバッファPF4に、アドレスAD1および命令データDT1が書き込まれることで、タグレジスタTAGがヒットする確立が上がるため、命令データのフェッチ効率は向上する。この結果、CPUコア100のパフォーマンスは向上する。なお、空いているプリフェッチバッファがない場合、ステートマシン10は、最古に書き込まれたプリフェッチバッファのタグレジスタTAGおよびデータレジスタDATAの内容を、アドレスAD1および命令データDT1に書き



換える。

#### 【0053】

2番目のアクセスサイクル2ndにおいて、CPUコア100は、アドレスAD1に連続する内部アドレスIAD (AD2) を出力する (図3 (i))。アドレス生成回路12は、CPUコア100からアドレスAD1を受ける前に、アドレスAD1に応じて生成したアドレスAD2をメモリアクセスアドレスMADとして内蔵メモリ200に出力する (図3 (j))。アドレス比較部14は、CPUコア100からの内部アドレスIAD (AD2) とアドレス生成回路12が生成したメモリアクセスアドレスMAD (AD2) とが一致するため、プリフェッチヒット信号PHITを出力する (図3 (k))。

#### 【0054】

データバッファ20は、内蔵メモリ200から読み出される命令データMDT (DT2) をプリフェッチする (図3 (l))。データ選択回路18は、プリフェッチヒット信号PHITに応じて、データバッファ20からの命令データDT2を命令データバスIDTに転送する (図3 (m))。アドレスAD2に対応する命令データDT2がデータバッファ20にプリフェッチされるため、アクセスサイクルは、最短の2クロックサイクルになる。すなわち、命令データのフェッチ効率は向上する。

#### 【0055】

次のアクセスサイクル3rdでは、メモリインタフェース回路300は、アクセスサイクル2ndと同様に動作し、2クロックサイクルで命令データDT3をCPUコア100に出力する (図3 (n))。

アクセスサイクル4thにおいて、CPUコア100は、アドレスAD3に連続しないアドレスAD1 (分岐アドレス) を内部アドレスIADとして出力し、同時に分岐信号IJMPを出力する (図3 (o))。アドレス比較部14は、プリフェッチバッファ部22からのタグアドレスTAD (AD1) を受け、アドレスAD1がプリフェッチバッファPF4に保持されていることを認識し、タグヒット信号THITを出力する (図3 (p))。

#### 【0056】

データ選択部18は、タグヒット信号THITに応じて、プリフェッチバッファPF

4のデータレジスタDATAからの命令データDT1を命令データバスIDTに転送する（図3（q））。アドレスAD1に対応する命令データDT1がプリフェッチバッファPF4から読み出されるため、デアクセスサイクルは、最短の2クロックサイクルになる。

#### 【0057】

この後、アクセスサイクル5th、6thでは、メモリインタフェース回路300は、アクセスサイクル2ndと同様に動作し、2クロックサイクルで命令データDT2、DT3をCPUコア100にそれぞれ出力する（図3（r））。

アクセスサイクル7thにおいて、CPUコア100は、アドレスAD3に連続しないアドレスAD10（分岐アドレス）を内部アドレスIADとして出力し、同時に分岐信号IJMPを出力する（図3（s））。メモリインタフェース回路300は、アクセスサイクル1stと同様に動作し、3クロックサイクルでアドレスAD10に対応する命令データDT10をCPUコア100に出力する（図3（t））。ステートマシン10は、空いているプリフェッチバッファPF5のタグレジスタTAGおよびデータレジスタDATAにアドレスAD10および命令データDT10を書き込む（図3（u））。

#### 【0058】

アクセスサイクル8th、9thは、アクセスサイクル2nd、3rdと同様に実施され、プリフェッチされた命令データDT11、DT12は、CPUコア100に出力される（図3（v））。

アクセスサイクル10thにおいて、プリフェッチバッファPF1に設定した割り込みベクタアドレスIVCTAD1の割り込みが発生する。タグヒットとなるため、メモリインタフェース回路300は、アクセスサイクル4thと同様に動作し、2クロックサイクルで命令データIVCTDT1をCPUコア100に出力する（図3（w））。

#### 【0059】

アクセスサイクル11th、12thは、アクセスサイクル2nd、3rdと同様に実施され、アドレス生成回路12が生成したアドレスIVA2、IVA3に対応してプリフェッチされた命令データIVD2、IVD3がCPUコア100に出力される（図3（x））。

以上、本実施形態では、プリフェッチバッファPF1-8の所定数は、通常動作期

間の前に予め書き換えが禁止される割り込みプリフェッチバッファに割り当てられる。このため、通常動作期間にCPUコア100から分岐アドレスまたは割り込みベクタアドレスが頻繁に出力される場合にも、割り込みプリフェッチバッファの内容が書き換えられることを防止できる。この結果、CPUコア100の命令フェッチ効率を向上でき、システム全体のパフォーマンスを向上できる。特に、分岐アドレスまたは割り込みベクタアドレスが頻繁に発生し、そのうち特定のアドレスが繰り返し発生するシステムで、フェッチ効率を向上できる。

#### 【0060】

スプリットレジスタ16aを設定することで、割り込みプリフェッチバッファを所望の数に設定できる。換言すれば、割り込みプリフェッチバッファの割り当て数を可変にすることで、そのシステムに最適なメモリインタフェース回路を提供できる。

初期設定期間において、CPUコア100がスタートレジスタ16bをセットするだけで、割り込みプリフェッチバッファのデータレジスタDATAへの命令データの格納は、ステートマシン10により自動的に実施される。このため、CPUコア100の初期設定期間のパフォーマンスを向上できる。

#### 【0061】

CPUコア100が発生する内部アドレスIADが連続するときに、アドレス生成部12が生成するメモリアクセスアドレスMADにより、内蔵メモリ200に記憶されている命令データをプリフェッチできる。したがって、命令データのフェッチ効率を向上できる。また、連続する内部アドレスIADに対応する命令データは、プリフェッチバッファ部22に保持する必要はない。このため、プリフェッチバッファPF1-8の個数を最小限にできる。メモリインタフェース回路300にデータバッファ20を形成することで、プリフェッチした命令データは、失われることなくCPUコア100に出力できる。

#### 【0062】

バリッドフラグVLDにより、プリフェッチバッファPF1-8が通常プリフェッチバッファおよび割り込みプリフェッチバッファの何れに割り当てられているかを容易に認識できる。この結果、ステートマシン10の動作を簡素にできる。

図4は、本発明のメモリインタフェース回路の第2の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

#### 【0063】

メモリインタフェース回路300Aは、第1の実施形態のステートマシーン10およびプリフェッチバッファ部22に代えてステートマシーン10Aおよびプリフェッチバッファ部22Aを有している。また、メモリインタフェース回路300Aは、新たにアクセス監視部24を有している。

この実施形態は、プリフェッチバッファ部22Aが保持する分岐アドレス（割り込みベクタアドレスを含む）のCPUコア100からの発生頻度に応じて、プリフェッチバッファPF1-8が割り込みプリフェッチバッファまたは通常プリフェッチバッファに変更されることを特徴としている。発生頻度は、アクセス監視部24により調べられ、プリフェッチバッファの用途の変更は、ステートマシーン10Aにより実施される。

#### 【0064】

プリフェッチバッファ部22Aの各プリフェッチバッファPF1-8は、バリッドフラグVLD、タグレジスタTAGおよびデータレジスタDATAに加えて1ビットで構成されるロックフラグLOCKを有している。ロックフラグLOCKは、割り込みプリフェッチバッファから通常プリフェッチバッファへの変更を禁止するビットである。

#### 【0065】

アクセス監視部24は、分岐信号IJMPの発生回数をカウントする分岐カウンタ24a、プリフェッチバッファPF1-8のヒット回数をそれぞれカウントする8つのヒットカウンタ24bを有している。分岐カウンタ24aは、例えば、分岐信号IJMPが100回発生する毎にリセットされる。すなわち、分岐カウンタ24aのカウンタ値は、“0”～“100”が繰り返される。ヒットカウンタ24bは、分岐カウンタ24aとともに“0”にリセットされる。

#### 【0066】

ステートマシーン10Aは、分岐カウンタ24aのカウンタ値が“100”になったときに、プリフェッチバッファPF1-8にそれぞれ対応するヒットカウンタ24

bのカウンタ値を読み込む。そして、ステートマシン10Aは、カウンタ値が”10”を超えるヒットカウンタ24bに対応する通常プリフェッチバッファ（PF1-8の何れでも可）のロックフラグLOCKおよびバリッドフラグVLDに”1”をセットし、この通常プリフェッチバッファを割り込みプリフェッチバッファに変更する。また、ステートマシン10Aは、カウンタ値が”10”以下のヒットカウンタ24bに対応する割り込みプリフェッチバッファ（PF1-8の何れでも可）のロックフラグLOCKおよびバリッドフラグVLDに”0”をリセットし、この割り込みプリフェッチバッファを通常プリフェッチバッファに変更する。

#### 【0067】

図5は、第2の実施形態の通常動作期間の動作を示している。基本的な動作は、第1の実施形態（図3）と同じである。このため、第1の実施形態と同じ動作については、詳細な説明を省略する。なお、初期設定期間の動作は、ロックフラグLOCKが”0”にリセットされることを除き、第1の実施形態（図2）と同じである。

#### 【0068】

図の左側の波形の始まりにおいて、図4に示したアクセス監視部24の分岐カウンタ24aのカウンタ値IJCNTは”99”を示している（図5（a））。プリフェッチバッファPF1、PF2に対応するヒットカウンタ24bのカウンタ値HCNTは、それぞれ”15”、“0”を示している（図5（b、c））。

図の左側の波形では、プリフェッチバッファPF1に設定された割り込みベクタアドレスIVCTAD1の割り込みが発生し、分岐信号IJMPが出力される（図5（d））。アクセス監視部24は、分岐信号IJMPに応答して分岐カウンタ24aをカウントアップし、カウンタ値IJCNTを”100”に設定する（図5（e））。プリフェッチバッファPF1が割り込みベクタアドレスIVCTAD1を保持しているため、アドレス比較部14は、タグヒット信号THITを出力する（図5（f））。アクセス監視部24は、タグヒット信号THITに応答してプリフェッチバッファPF1に対応するヒットカウンタ24bのカウンタ値HCNTをインクリメントする（図5（g））。

#### 【0069】

アクセス監視部 24 は、プリフェッチバッファ PF1 に対応するヒットカウンタ 24b のカウンタ値が "10" を超えているため、プリフェッチバッファ PF1 のロックフラグ LOCK を "1" にセットする (図 5 (h))。すなわち、プリフェッチバッファ PF1 は、引き続き割り込みプリフェッチバッファとして機能する。

アクセス監視部 24 は、プリフェッチバッファ PF2 に対応するヒットカウンタ 24b のカウンタ値が "10" 以下であるため、プリフェッチバッファ PF2 のバリッドフラグ VLD を "0" にリセットする (図 5 (i))。すなわち、プリフェッチバッファ PF2 は、割り込みプリフェッチバッファから通常プリフェッチバッファに変更される。

#### 【0070】

この後、図の中央の波形に示すように、CPU コア 100 は、分岐アドレス AD10 を内部アドレス IAD として出力し、同時に分岐信号 IJMP を出力する (図 5 (j))。アクセス監視部 24 は、分岐信号 IJMP に応答して分岐カウンタ 24a をカウントアップし、カウンタ値 IJCNT を "1" に設定する (図 5 (k))。分岐アドレスは、プリフェッチバッファ PF1-PF8 のいずれにも保持されていないため、ステートマシン 10 は、CPU コア 100 にウエイト信号 IWAIT を出力し (図 5 (l))、内蔵メモリ 200 から命令データ DT10 を読み出す (図 5 (m))。

#### 【0071】

プリフェッチバッファ PF2 は、通常プリフェッチバッファに変更されている。このため、分岐アドレス AD10 および分岐アドレス AD10 に対応する命令データ DT10 は、プリフェッチバッファ PF2 に保持される (図 5 (n))。

CPU コア 100 のフェッチ動作が続き、図の右側の波形に示すように、分岐カウンタ 24a のカウンタ値 IJCNT は、"99" までカウントアップされる。CPU コア 100 は、分岐信号 IJMP とともに、分岐アドレス AD10 を再び出力する (図 5 (o))。アクセス監視部 24 は、分岐信号 IJMP に応答して分岐カウンタ 24a をカウントアップし、カウンタ値 IJCNT を "100" に設定する (図 5 (p))。プリフェッチバッファ PF2 が分岐アドレス AD10 を保持しているため、アドレス比較部 14 は、タグヒット信号 THIT を出力する (図 5 (q))。アクセス監視部 24 は、タグヒット信号 THIT に応答してプリフェッチバッファ PF2 に対応するヒ

ットカウンタ 24b のカウンタ値 HCNT をインクリメントする (図 5 (r))。

#### 【0072】

アクセス監視部 24 は、プリフェッチバッファ PF2 に対応するヒットカウンタ 24b のカウンタ値が "10" を超えているため、プリフェッチバッファ PF2 のロックフラグ LOCK およびバリッドフラグ VLD を "1" にセットする (図 5 (s))。また、アクセス監視部 24 は、プリフェッチバッファ PF1 に対応するヒットカウンタ 24b のカウンタ値が "10" 以下であるため、プリフェッチバッファ PF1 のロックフラグ LOCK およびバリッドフラグ VLD を "0" にリセットする (図 5 (t))。すなわち、プリフェッチバッファ PF2 は、通常プリフェッチバッファから割り込みプリフェッチバッファに変更され、プリフェッチバッファ PF1 は、割り込みプリフェッチバッファから通常プリフェッチバッファに変更される。

#### 【0073】

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、出現頻度の高い分岐アドレスまたは割り込みベクタアドレスを保持している通常プリフェッチバッファを、書き換えが禁止される割り込みプリフェッチバッファに変更することで、実際のシステムの動作状態に合わせて、命令のフェッチ効率を向上できる。また、出現頻度の低い分岐アドレスを保持している割り込みプリフェッチバッファを、書き換え可能な通常プリフェッチバッファに変更することで、実際のシステムの動作状態に合わせて、命令のフェッチ効率を向上できる。

#### 【0074】

図 6 は、本発明のメモリアンタフェース回路の第 3 の実施形態を示している。第 1 および第 2 の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。

メモリアンタフェース回路 300B は、第 2 の実施形態のステートマシン 10A に代えてステートマシン 10B を有している。また、メモリアンタフェース回路 300B は、レジスタ 16 を有していない。その他の構成は、第 2 の実施形態とほぼ同じである。

#### 【0075】

ステートマシン 10B は、第 2 の実施形態のステートマシン 10A から初期設定機能（図 4 のレジスタ 16）を削除して構成されている。このため、プリフェッチバッファ部 22A は、初期設定されない。プリフェッチバッファ PF1-8 は、パワーオンリセット後において、全て通常プリフェッチバッファに一旦割り当てられる。パワーオンリセット後の通常動作期間では、第 2 の実施形態（図 5）で示したように、プリフェッチバッファ PF1-8 は、タグヒット回数に応じて、割り込みプリフェッチバッファまたは通常プリフェッチバッファに変更される。

#### 【0076】

この実施形態においても、上述した第 1 および第 2 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、初期設定期間において、プリフェッチバッファ PF1-8 の所定数を割り込みプリフェッチバッファに割り当てる必要がない。このため、第 1 の実施形態のレジスタ 16 が不要になり、ステートマシン 10B の制御回路を簡易に構成できる。この結果、メモリアインタフェース回路 300A のレイアウトサイズを小さくできる。

#### 【0077】

なお、上述した第 1 の実施形態は、プリフェッチバッファ PF1-3 に割り込みベクタアドレス IVCTAD1-3 を保持した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、プリフェッチバッファ PF1-3 に頻繁に発生する分岐アドレスを保持してもよい。

上述した第 2 の実施形態では、各プリフェッチバッファ PF1-8 にロックフラグ LOCK を形成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、バリッドフラグ VLD にロックフラグ LOCK の機能を持たせてもよい。この場合、図 3 に示した初期設定動作において、バリッドフラグ VLD が “1” にセットされるプリフェッチバッファ PF1-3 は、通常動作期間の初めからロックされる。

#### 【0078】

上述した実施形態では、本発明をシングルチップマイクロコンピュータに形成される内蔵メモリ 200 をアクセスするためのメモリアインタフェース回路に適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例



えば、本発明をCPUコアが形成されるチップと別のメモリチップをアクセスするためのメモリインタフェース回路に適用してもよい。このとき、メモリインタフェース回路は、CPUコアと同じチップに形成れてもよく、CPUコアと別のチップに形成されてもよい。

#### 【0079】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

#### 【0080】

##### 【発明の効果】

請求項1のメモリインタフェース回路では、中央処理装置から分岐アドレスが頻繁に出力される場合にも、第2プリフェッチバッファに保持される分岐アドレスおよび命令データが書き換えられることを防止できる。この結果、中央処理装置の命令フェッチ効率を向上でき、システム全体のパフォーマンスを向上できる。特に、分岐アドレスが頻繁に発生し、そのうち特定の分岐アドレスが繰り返し発生するシステムで、フェッチ効率を向上できる。

#### 【0081】

請求項2のメモリインタフェース回路では、システムの特性に応じて第2プリフェッチバッファを所望の数に設定できる。換言すれば、そのシステムに最適なメモリインタフェース回路を提供できる。

請求項3のメモリインタフェース回路では、中央処理装置は、第2プリフェッチバッファのデータレジスタに命令データを格納する必要はないため、中央処理装置の初期設定期間のパフォーマンスを向上できる。

#### 【0082】

請求項4のメモリインタフェース回路では、専用のスタートレジスタを設けることで、中央処理装置は、全体制御部を容易に制御し、任意のタイミングで第2プリフェッチバッファのデータレジスタに命令データを格納させることができる。

請求項5のメモリインタフェース回路では、データバッファを設けることで、

中央処理装置から出力される内部アドレスが連続するときに、外部メモリからプリフェッチした命令データを失うことなく中央処理装置に出力できる。

#### 【0083】

請求項6のメモリインタフェース回路では、出現頻度の高い分岐アドレスを保持している第1プリフェッチバッファを、書き換えが禁止される第2プリフェッチバッファに変更することで、実際のシステムの動作状態に合わせて、命令のフェッチ効率を向上できる。

請求項7および請求項9のメモリインタフェース回路では、出現頻度の低い分岐アドレスを保持している第2プリフェッチバッファを、書き換え可能な第1プリフェッチバッファに変更することで、実際のシステムの動作状態に合わせて、命令のフェッチ効率を向上できる。

#### 【0084】

請求項8のメモリインタフェース回路では、分岐アドレスの出現頻度が高いときに、対応する第1プリフェッチバッファを書き換えが禁止される第2プリフェッチバッファに変更することで、中央処理装置の命令フェッチ効率を向上でき、システム全体のパフォーマンスを向上できる。特に、分岐アドレスが頻繁に発生し、そのうち特定の分岐アドレスが繰り返し発生するシステムで、フェッチ効率を向上できる。

#### 【0085】

プリフェッチバッファの所定数を第2プリフェッチバッファに割り当てる初期設定が不要なため、全体制御回路を簡易に構成できる。

請求項10のメモリインタフェース回路では、識別フラグにより、プリフェッチバッファが第1および第2プリフェッチバッファの何れに割り当てられているかを容易に認識できる。この結果、全体制御回路を簡易に構成できる。

#### 【図面の簡単な説明】

##### 【図1】

本発明のメモリインタフェース回路の第1の実施形態を示すブロック図である。

。

##### 【図2】

第1の実施形態の初期化期間の動作を示すタイミング図である。

【図3】

第1の実施形態の通常動作期間の動作を示すタイミング図である。

【図4】

本発明のメモリインタフェース回路の第2の実施形態を示すブロック図である。

【図5】

第2の実施形態の通常動作期間の動作を示すタイミング図である。

【図6】

本発明のメモリインタフェース回路の第3の実施形態を示すブロック図である。

【符号の説明】

10、10A、10B ステートマシーン

12 アドレス生成部

14 アドレス比較部

16 レジスタ

16a スプリットレジスタ

16b スタートレジスタ

18 データ選択部

20 データバッファ

22、22A プリフェッチバッファ部

24 アクセス監視部

24a 分岐カウンタ

24b ヒットカウンタ

100 CPUコア

200 内蔵メモリ

300、300A、300b メモリインタフェース回路

DATA データレジスタ

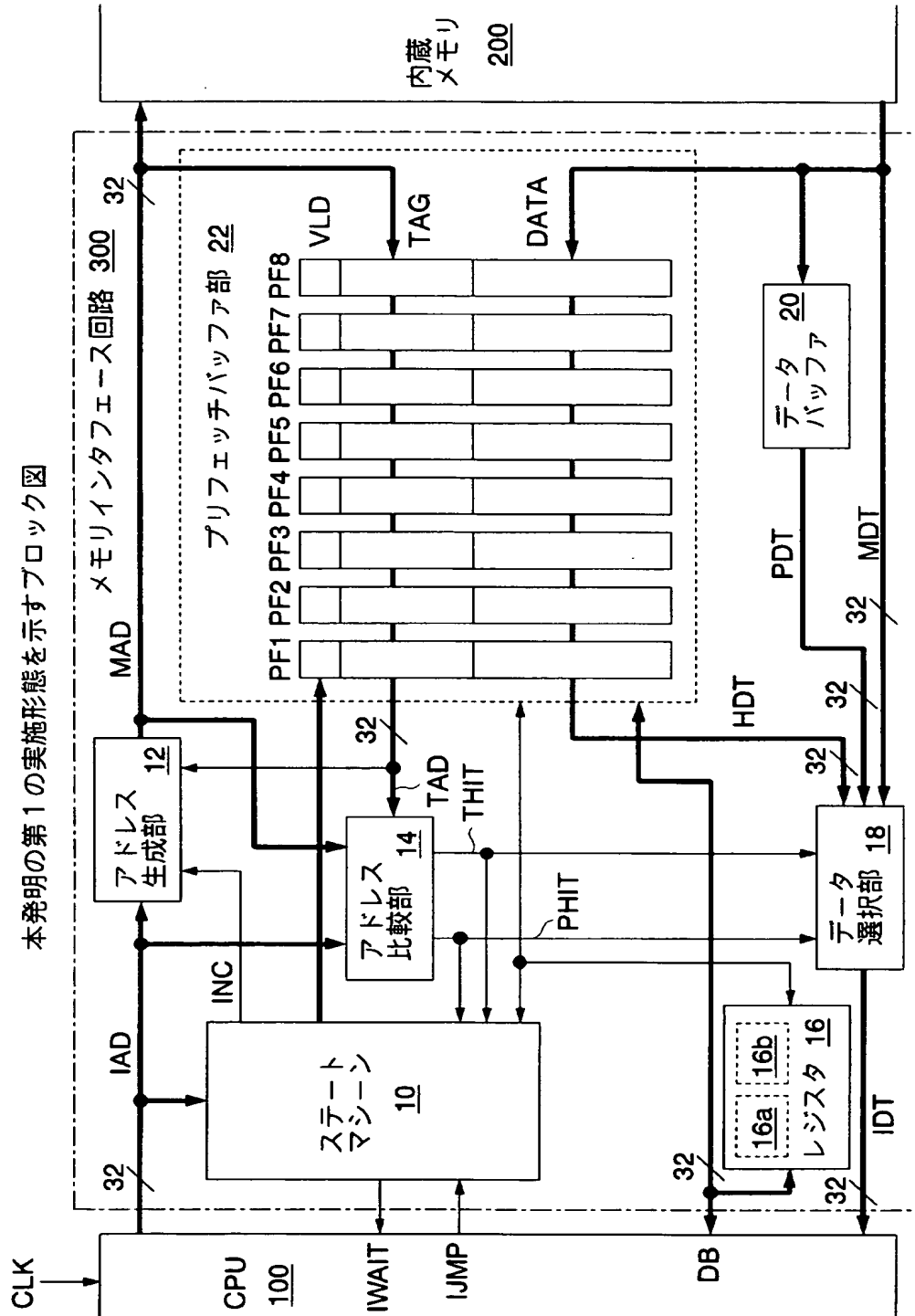
DB データバス

HDT 命令データ  
IAD 内部アドレス  
IDT 命令データバス  
IJMP 分岐信号  
INC インクリメント信号  
IVCTAD1-3 割り込みベクタアドレス  
IVCTDT1-3 命令データ  
IWAIT ウエイト信号  
MAD メモリアクセス信号  
MDT 命令データ  
PDT 命令データ  
PF1-PF8 プリフェッチバッファ  
PHIT プリフェッチヒット信号  
TAD タグアドレス  
TAG タグレジスタ  
THIT タグヒット信号  
VLD バリッドフラグ

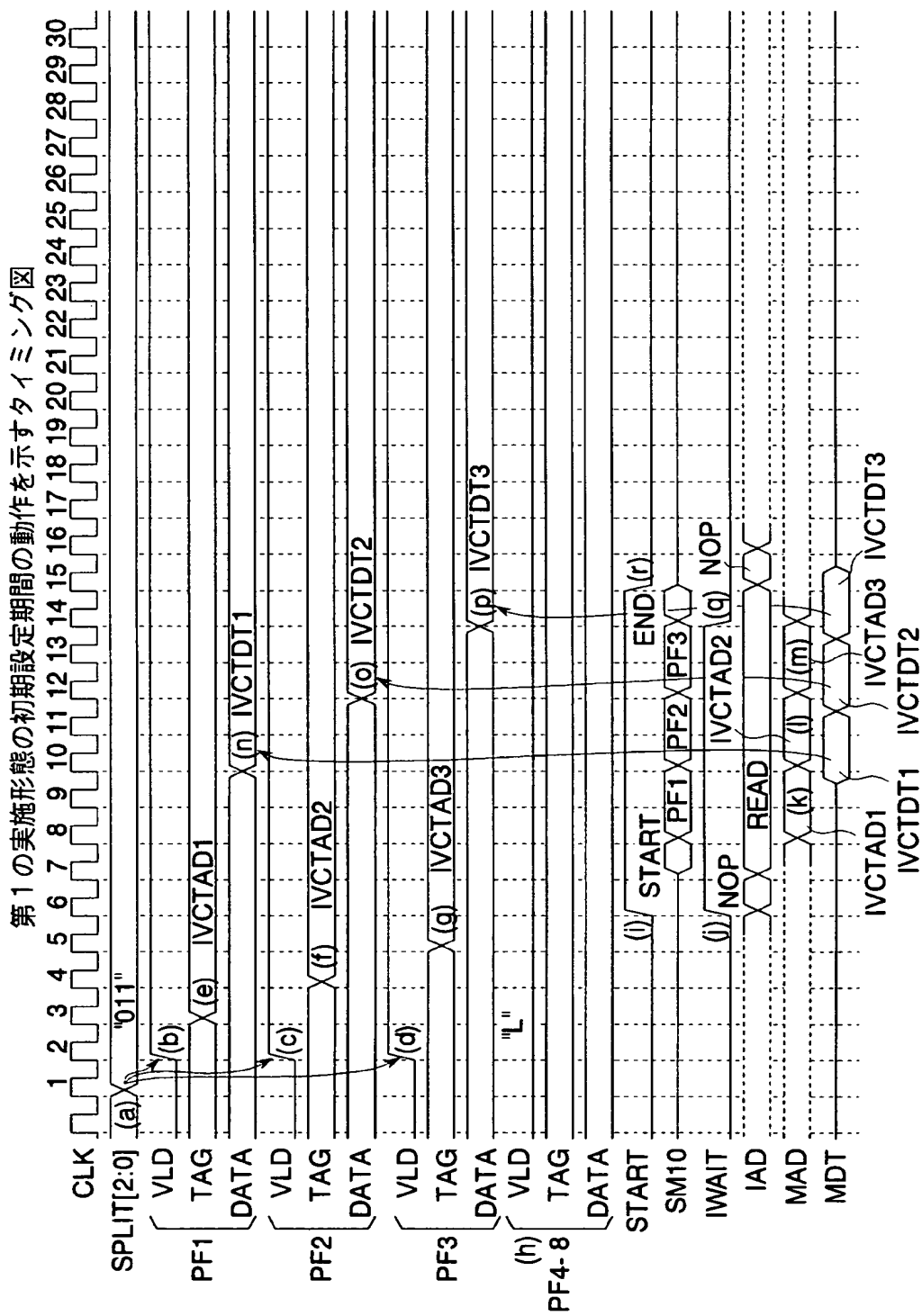
【書類名】

図面

【図 1】

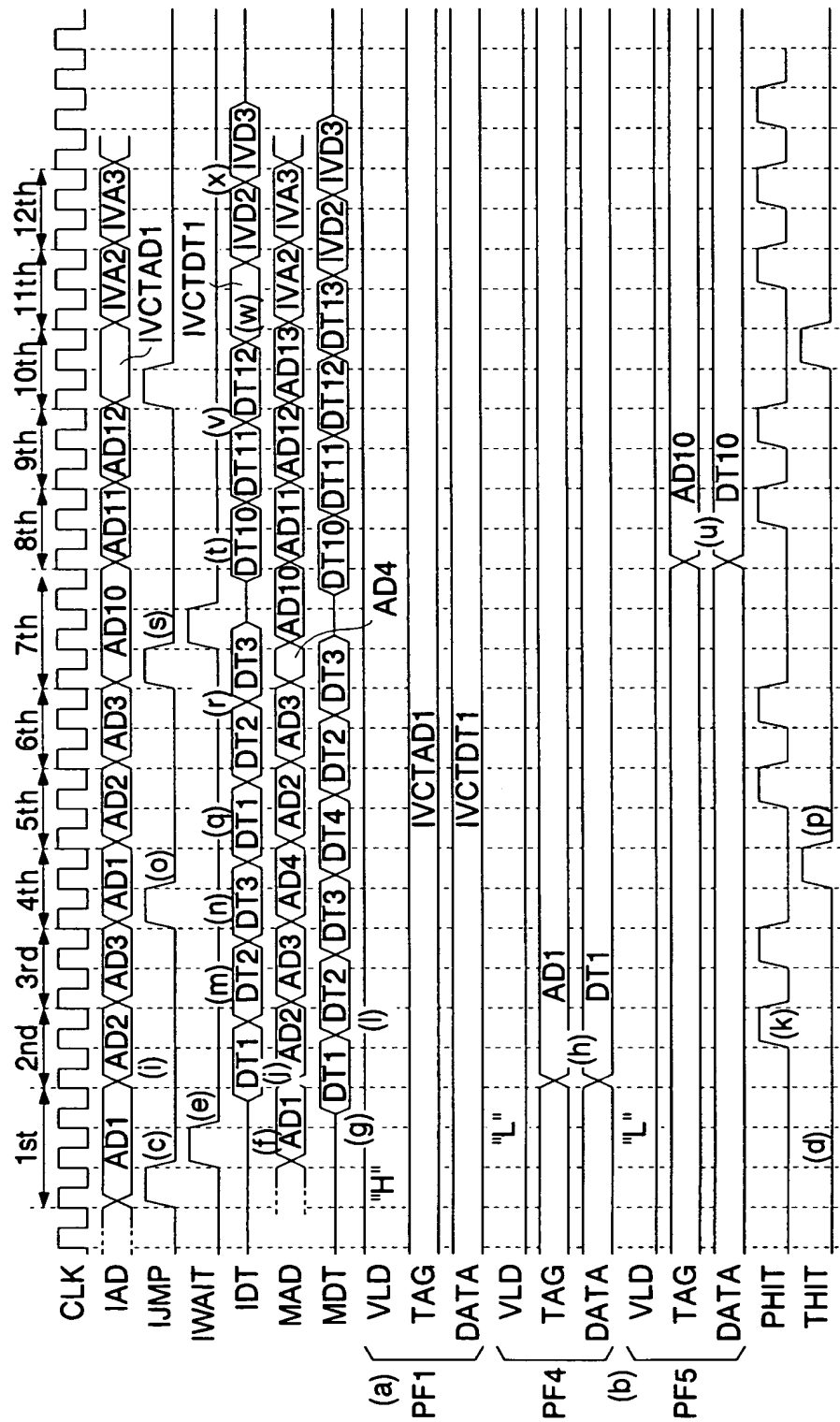


【図 2】

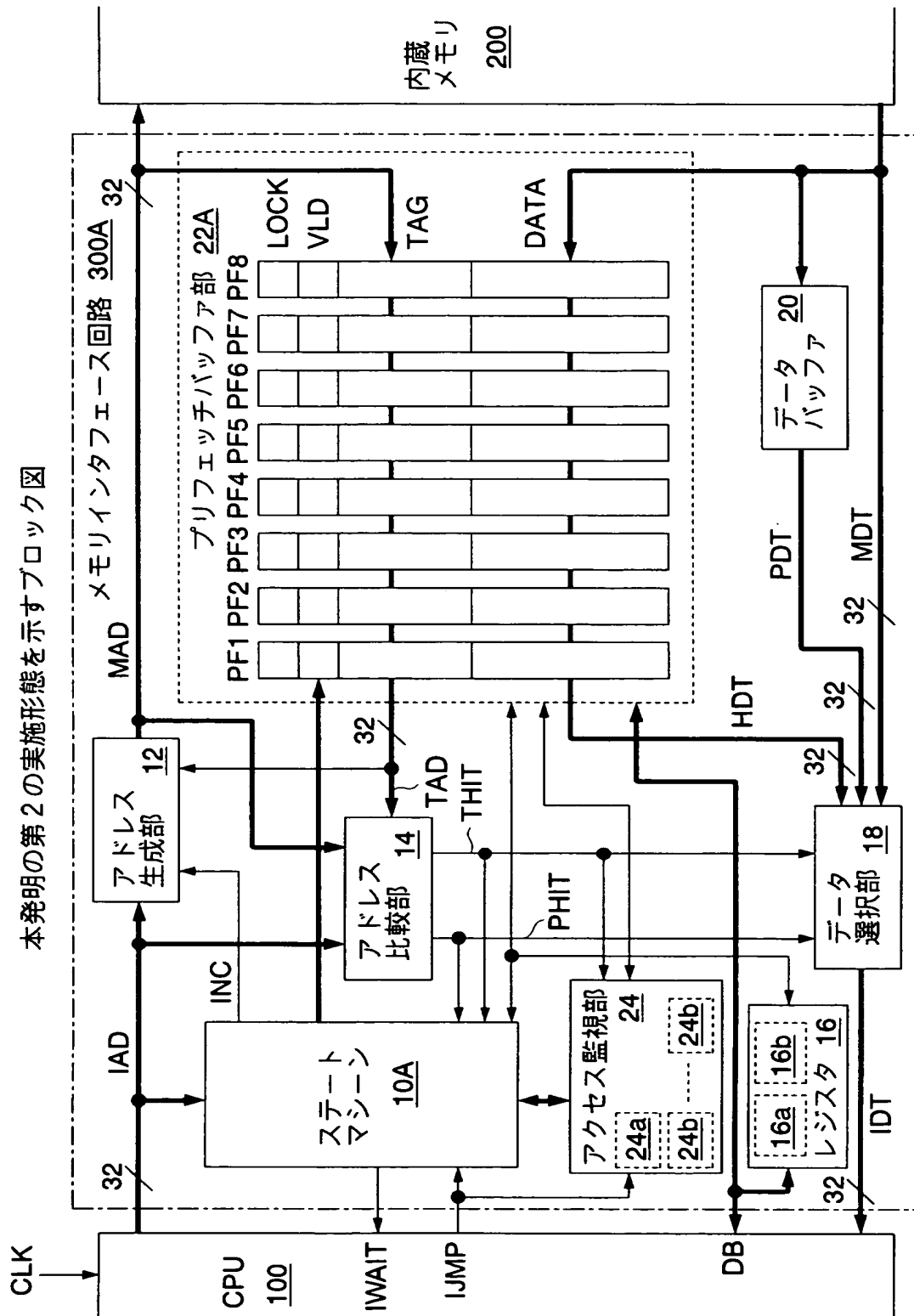


【図 3】

第 1 の実施形態の通常動作期間の動作を示すタイミング図



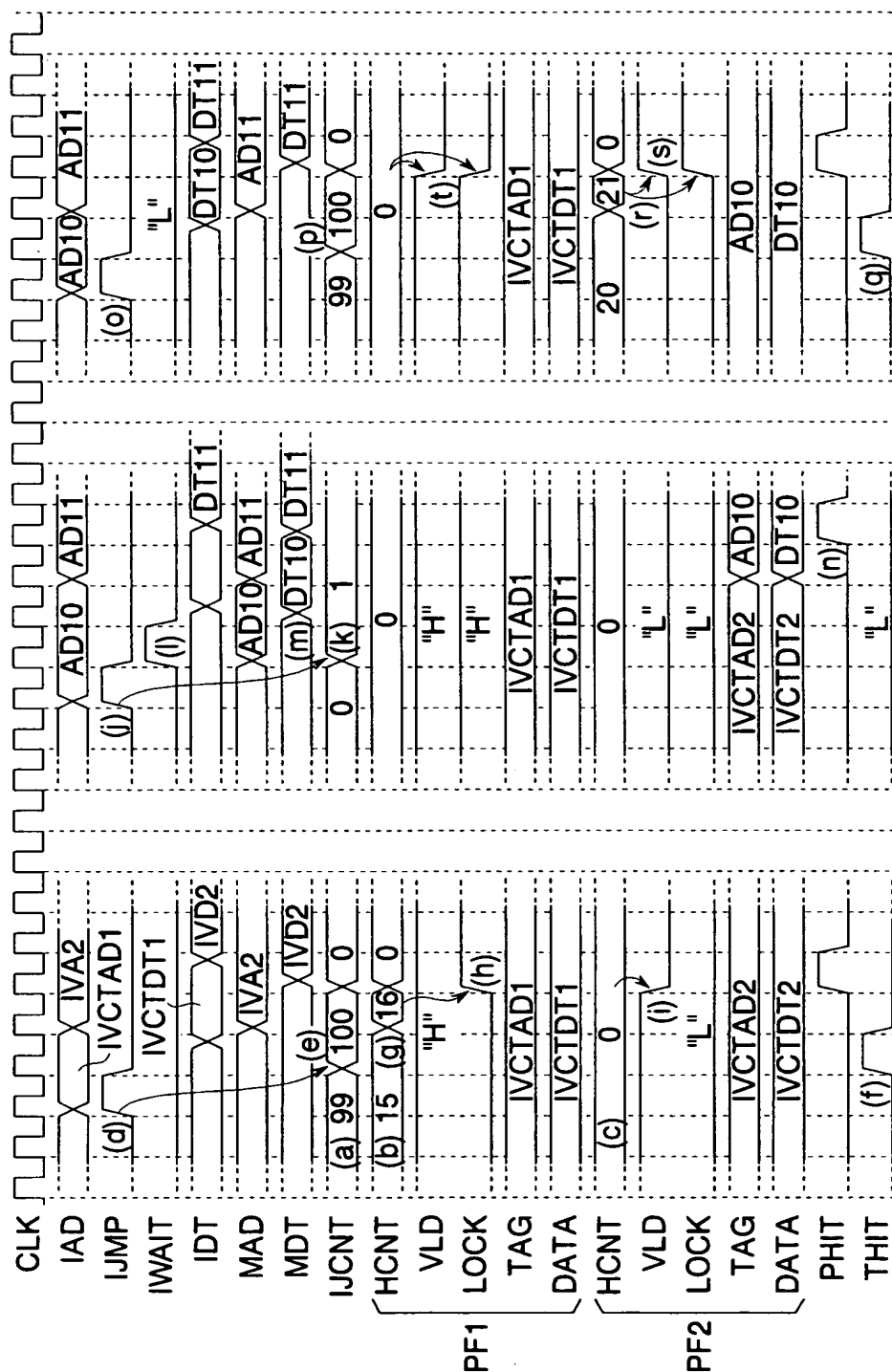
【図 4】



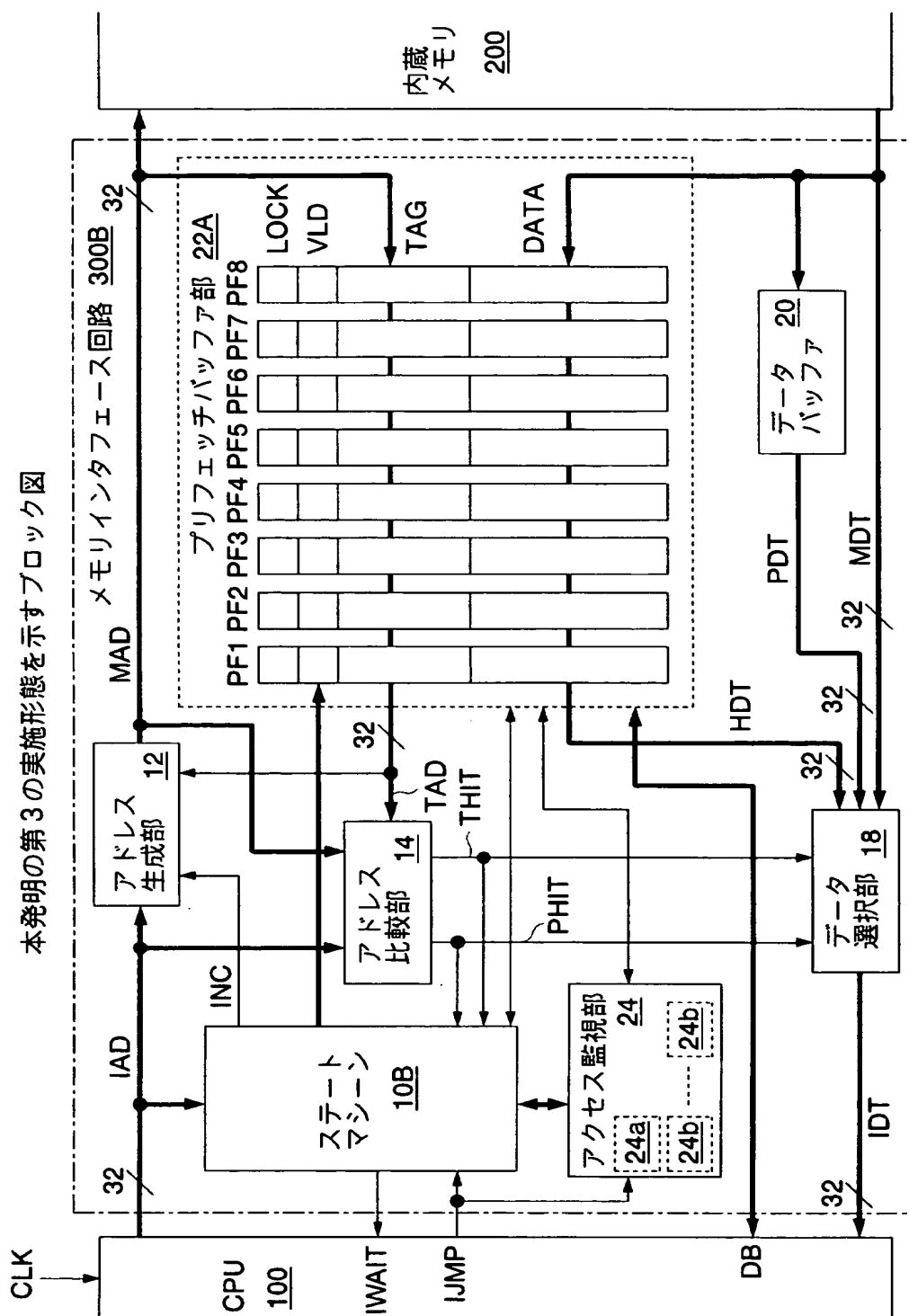


【図 5】

第 2 の実施形態の通常動作期間の動作を示すタイミング図



【図 6】



【書類名】 要約書

【要約】

【課題】 中央処理装置によりフェッチされる命令データのフェッチ効率を向上する。

【解決手段】 各プリフェッチバッファは、分岐アドレスを格納するタグレジスタおよび命令データを格納するデータレジスタを有する。プリフェッチバッファは、通常動作期間に書き換え可能な複数の第1プリフェッチバッファと、通常動作期間に書き換えが禁止される少なくとも1つの第2プリフェッチバッファとで構成される。このため、中央処理装置から分岐アドレスが頻繁に出力される場合にも、第2プリフェッチバッファが書き換えられることを防止できる。この結果、中央処理装置の命令フェッチ効率を向上でき、システム全体のパフォーマンスを向上できる。特に、分岐アドレスが頻繁に発生し、そのうち特定の分岐アドレスが繰り返し発生するシステムで、フェッチ効率を向上できる。

【選択図】 図1

特願 2 0 0 3 - 1 8 4 3 6 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1 . 変更年月日  
[変更理由]

1 9 9 6 年    3 月 2 6 日

住 所  
氏 名

住所変更

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号  
富士通株式会社